

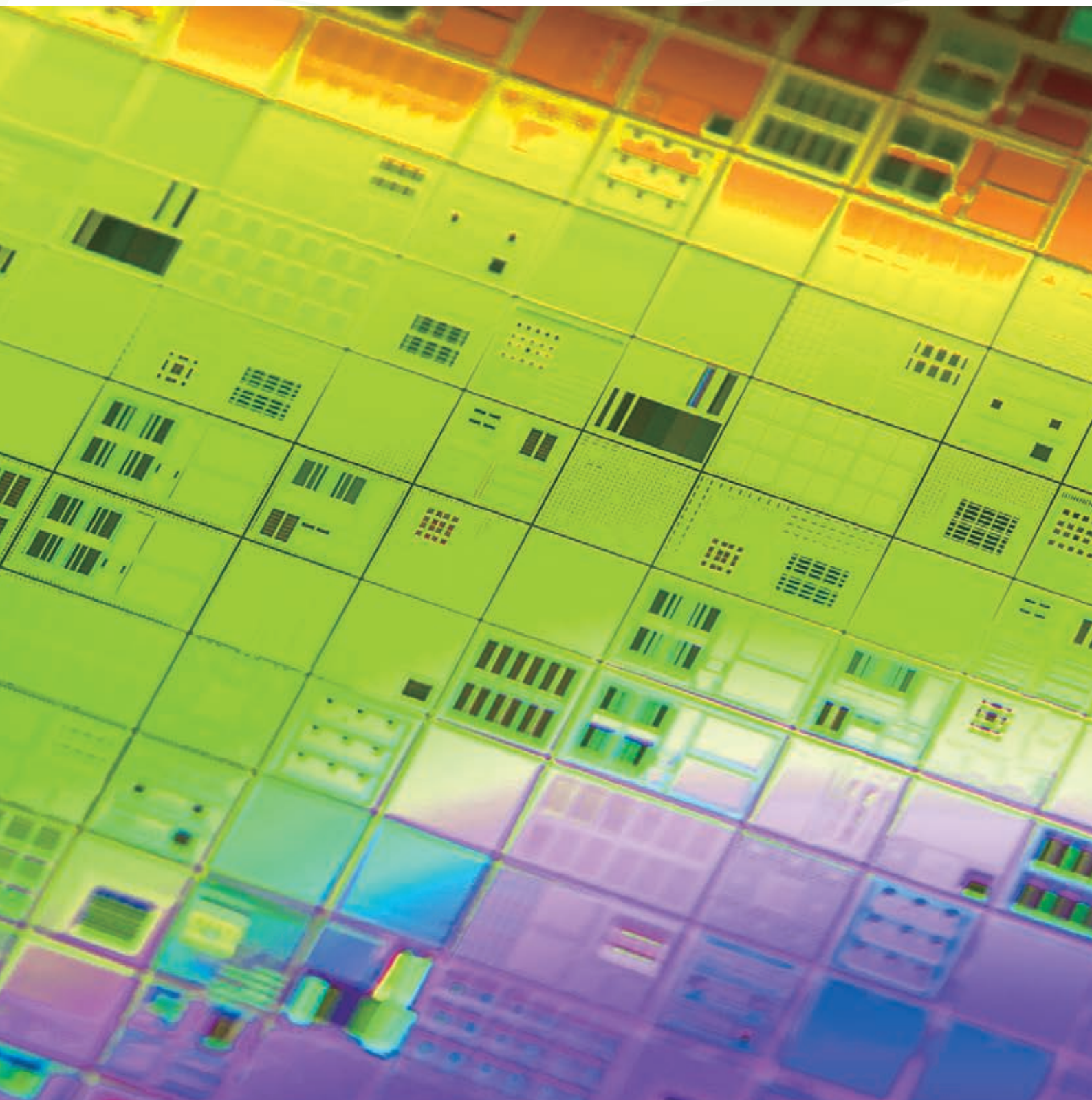
2023 EDITION

Center for Innovative Integrated Electronic Systems

東北大学 国際集積エレクトロニクス 研究開発センター



TOHOKU
UNIVERSITY



国際的産学連携から 集積エレクトロニクス技術のイノベーション創出 復興・新生の先導

ワールドクラスへの飛躍



集積エレクトロニクスは、あらゆる産業製品や社会基盤に活用され、我々の生活の質を決定する技術です。カーボンニュートラルやAI/IoT/DX、Society 5.0実現という社会ニーズに対し、飛躍的な省電力動作を実現できる革新的集積エレクトロニクスシステムが求められています。

国際集積エレクトロニクス研究開発センター（CIES）は、多様な国内外の企業、そして地方公共団体と連携して、材料・装置・デバイス・回路・システムなど、産学共同研究、大型国家プロジェクト、地域連携プロジェクトからなるCIESコンソーシアムを運営して参りました。2021年に本学が設立した「東北大学半導体テクノロジー共創体」の一翼を担っており、研究開発分野を従来のスピントロニクスから、AIハードウェア、パワーエレクトロニクスに拡充して、集積エレクトロニクス技術に係るコア技術の開発を推進しております。これまでに、世界最高性能となる多様な革新的技術の開発に成功し、超低消費電力が要求されるIoT/AIシステムへの展開を目指しております。加えて、東北大学発スタートアップ「パワースピン株式会社」と連携し、開発技術群の社会実装への展開と、更なる産学連携の高度化を加速させております。

2023年6月に我が国の「半導体・デジタル産業戦略」が改訂され、「アカデミアを中核とした拠点における先端技術開発（スピントロニクス技術）」が目標・戦略に位置づけられました。本センターの責務は格段に高まっていると認識しております。G7広島サミットにおいて「半導体の人材育成と研究開発に関する未来に向けた日米大学間パートナーシップ（UPWARDS for the Future）」が締結され、産業界と日米大学の連携により、革新的な半導体の研究開発、製造、サプライチェーン、人材育成に取り組んでいるところです。

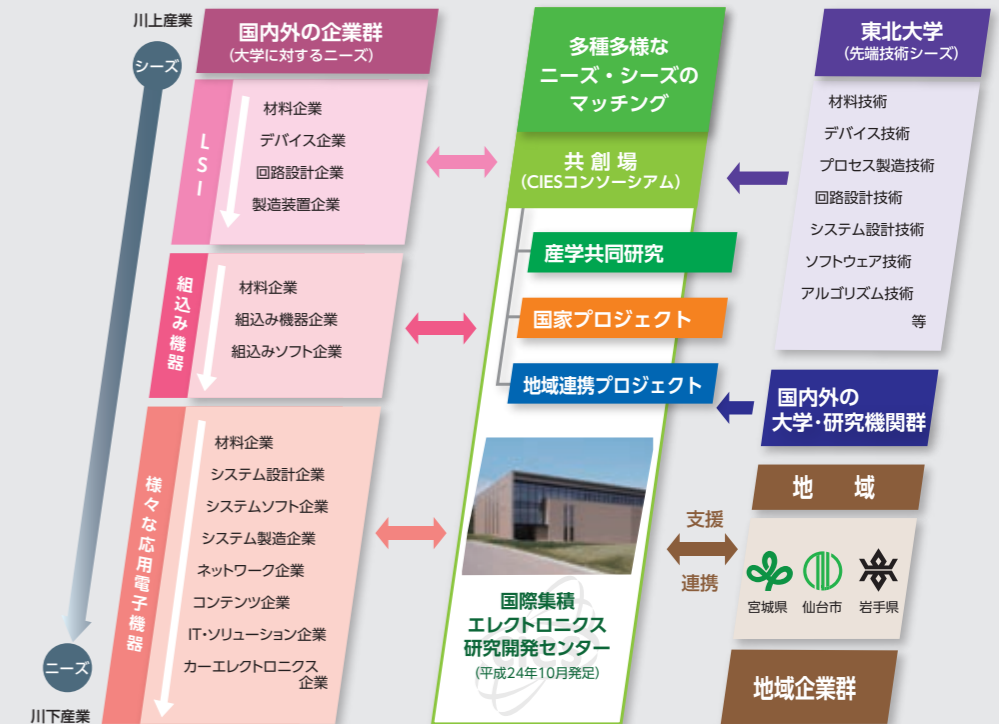
これらの活動を通じて、地元宮城県の発展、カーボンニュートラルな社会の実現、そして経済成長と経済安全保障の確保に寄与して参る所存です。

ここまで、本センターが発展して参りましたのも、多くの皆様の継続的なご支援、ご協力によるものです。心からお礼を申し上げますと共に、引き続きのご支援をお願い申し上げます。

令和6年3月
東北大学国際集積エレクトロニクス研究開発センター
センター長 遠藤 哲郎



センターが目指す姿： 「B-U-B（Business-University-Business）」モデル

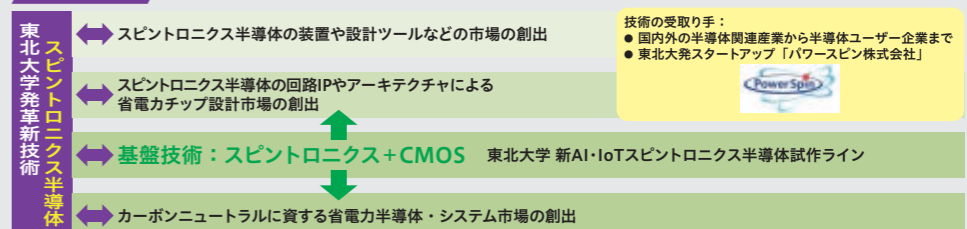


スピントロニクス省電力半導体開発拠点

設計・試作・評価・システム化までを一貫して開発 開発実証による世界を先導する省電力技術の創出



東北大モデル 東北大学発革新的技術に依る新産業創出と社会実装の加速に依る資金の好循環



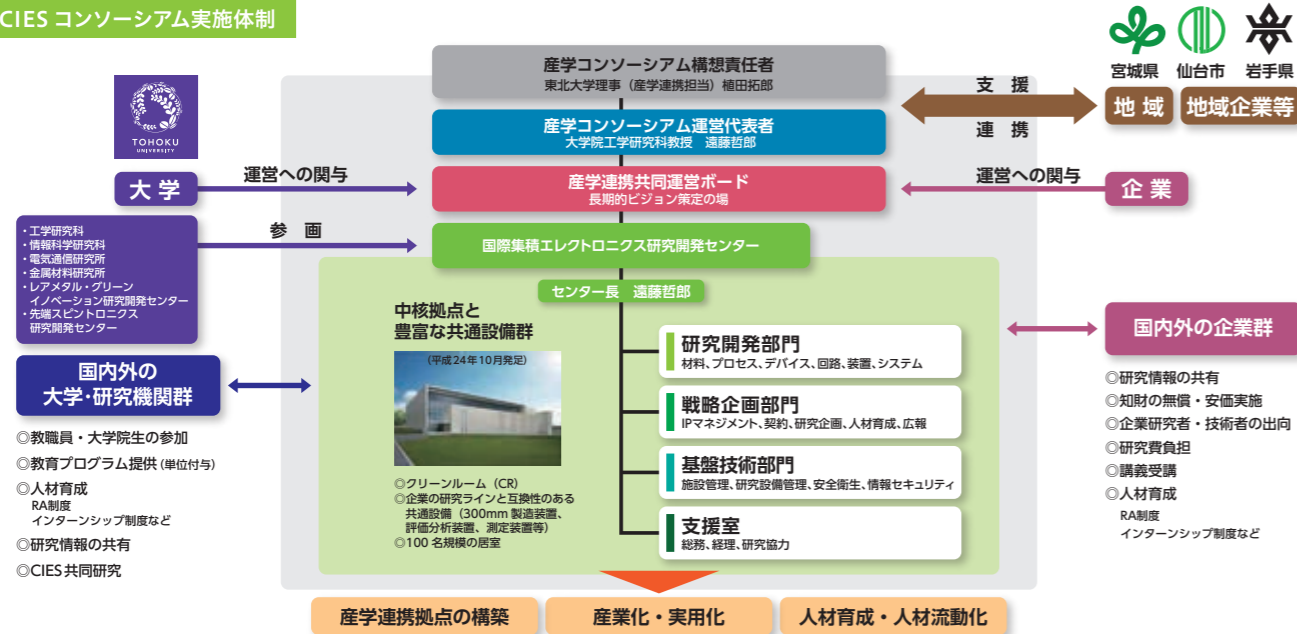
ロゴマークについて



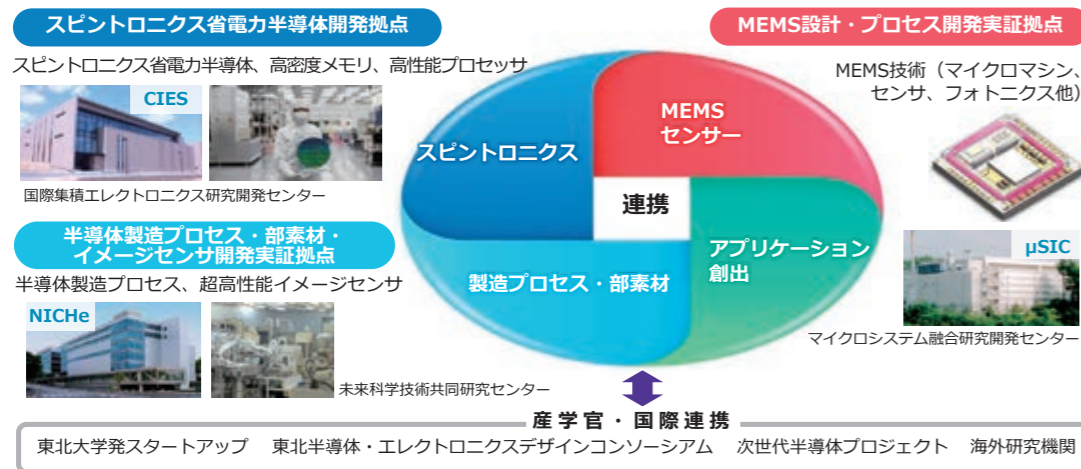
メッセージ
グリーン基調色 : エコロジー & ローパワー
“i”の意味 : イノベーション & インテグレーション
“i”に集結する3つの輪 : 知、科学と技術の集積
産学官など組織の一体化
材料からシステムの様々なレイヤーの集結

CIES コンソーシアム研究開発スコープ

CIES コンソーシアム実施体制



東北大学半導体テクノロジー共創体



研究開発部門 (CIES コンソーシアム)

A 産学協同研究		
スピントロニクス	LSI 技術	材料・デバイス技術の研究開発 製造技術の研究開発 計測・評価・分析技術の研究開発 回路技術・設計ツールの研究開発 STT-MRAM・SOT-MRAM及びスピントロニクス/CMOS Hybrid アプリケーションプロセッサの研究開発 不揮発記憶ベース低消費電力・高性能 VLSI プロセッサの自動設計環境の研究開発
	組み込み機器技術	強磁性トンネル接合素子を用いた高感度磁気センサの研究開発
	システム技術	組み込みシステムセキュリティ技術の研究開発 リアルワールド応用知能システム VLSI プラットフォームの研究開発
	3次元集積回路技術	3次元不揮発メモリの研究開発
AIハードウェア	回路技術	脳型演算処理回路技術の研究開発 しなやかな情報処理におけるエラー訂正技術の研究開発 MTJ/CMOS Hybrid AIアプリケーションプロセッサの研究開発
	モジュール・コンポーネント・インテグレーション・回路技術	WBGパワー モジュール技術の研究開発 次世代電装コンポーネント技術の研究開発 実装インテグレーション技術の研究開発 電力・産業向け次世代大容量変換器の研究開発
B 国家プロジェクト		
文部科学省 次世代 X-nics 半導体創生拠点形成事業	スピントロニクス融合半導体創出拠点	
NEDO ポスト5G情報通信システム基盤強化研究開発事業	先端半導体製造技術の開発 / 光電融合インタフェースメモリコントローラの開発 先導研究(助成) / 半導体プロセス1.5nm ノード以降の不揮発性MRAM の微細加工基盤技術の研究開発	
NEDO 省エネ AI 半導体及びシステムに関する技術開発事業	AIエッジコンピューティングの産業応用加速のための設計技術開発 / CMOS/スピントロニクス融合技術によるAI処理半導体の設計効率化と実証及びその応用技術	
JAXA 宇宙探査イノベーションハブ	MTJ/CMOS Hybrid技術による待機電力不要システム研究、及びその耐環境性試験(宇宙用途向け)	
JSPS 研究拠点形成事業	スピントロニクス・二次元物質の縦型素子	
文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業	脱炭素社会実現に向けた集積化パワーエレクトロニクスの研究開発	
内閣府 SIP プロジェクト (第3期)	系統安定化をサポートするUSPMIによるインテリジェントパワエレシステムの開発	
C J-Innovation HUB 地域オープンイノベーション拠点 (国際展開型) 東北大学国際集積エレクトロニクス研究開発センター		
D 地域連携プロジェクト		
集積エレクトロニクス	IT向け電子デバイスコンポーネントの研究開発	
カーエレクトロニクス	自動車向け電装部品コンポーネントの研究開発	
東北半導体・エレクトロニクスデザイン研究会	半導体・電子デバイス関連の人材育成・サプライチェーン強靱化	

A 産学共同研究 スピントロニクス LSI 技術

STT/SOT-MRAM & スピントロニクス / CMOS Hybrid プロセッサの研究開発

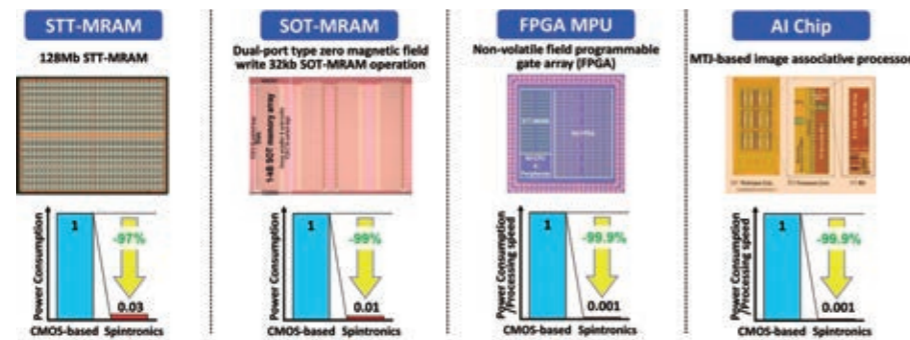


遠藤 哲郎 教授 池田 正二 教授

本テーマでは、スピントロニクス技術とシリコンCMOS技術の融合によるSTT-MRAM・SOT-MRAM及びスピントロニクス/CMOS Hybridアプリケーションプロセッサに関する技術を、産学が連携して研究開発しています。

具体的には、①CMOS集積回路と親和性の高いスピントロニクス素子の高性能化に向けた材料・デバイス技術、②産業界で標準の300mm Siウエハを用いたユニットプロセス・プロセスインテグレーション製造技術、③高効率な計測・評価技術、多機能的な分析技術、④基本メモリセルから大規模集積回路まで網羅する回路技術・設計ツールを一貫して研究開発しています。

これらの技術を統合集積化することにより、STT-MRAM・SOT-MRAM及びスピントロニクス/CMOS Hybrid技術を用いたマイコンや画像認識プロセッサなどのAIアプリケーションプロセッサを設計し、300mmプロセスラインを用いて試作を行い、これまでその低消費電力性能を実証してきており、今後も本研究開発を通じさらなる技術革新を進めていきます。これにより、飛躍的な省エネルギーシステムを実現する不揮発ワーキングメモリや不揮発ロジックなどの実用化を促進し、カーボンニュートラル社会の実現に貢献します。



A 産学共同研究 スピントロニクス 組み込み機器技術

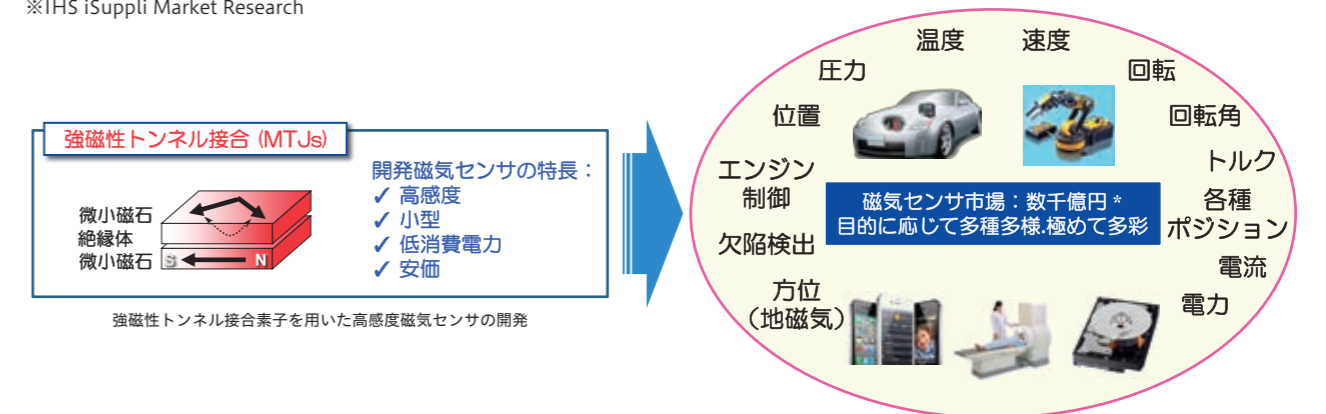
強磁性トンネル接合素子を用いた高感度磁気センサの研究開発



安藤 康夫 教授 大兼 幹彦 教授

磁気センサは環境、セキュリティ、医療、情報通信、自動車などの幅広い分野において、多種多様な目的、用途で使用されています。また、市場規模も数千億円*と非常に大きいと分析されています。本研究テーマでは、強磁性トンネル接合を用いた、高感度・小型・低消費電力・低コストを兼ね備えた磁気センサ素子を、産学が連携して開発しています。このような特長を併せ持つ磁気センサ素子が実現すれば、さらにアプリケーションが広がり、磁気センサ市場に大きな変革をもたらすことが期待されます。

※IHS iSuppli Market Research



強磁性トンネル接合素子を用いた高感度磁気センサの開発

A 産学共同研究 スピントロニクス LSI 技術

不揮発記憶ベース低消費電力・高性能 VLSI プロセッサの自動設計環境の研究開発



羽生 貴弘 教授 鈴木 大輔 准教授

4x世代以降における深刻な待機電力に起因した性能限界を突破するため、不揮発ベース低消費電力・高性能回路IPの設計開発、およびそれらを活用した自動設計環境を構築することが本テーマの課題であり、主に以下の研究に取り組んでおります。

1. 不揮発FPGA向けCAD環境の構築

種々のVLSIプロセッサ向けの有用なデバイスとして不揮発FPGA (Field-Programmable Gate Array) に着目し、そのCAD環境構築を行っております。

2. 不揮発ベース回路IP群のさらなる改良

不揮発FPGAのさらなる高性能化・多機能化に向け、その基本構成回路IP、例えばLUT (Lookup Table) 回路の開発も行っております。

3. AIアクセラレータ等への応用

不揮発FPGAの具体的な応用例として、超低消費電力AIアクセラレータの開発にも取り組んでいます。

本技術によりVLSIプロセッサの電力効率が上がることで、モバイル機器やIoT機器などへの積極的応用が期待されます。

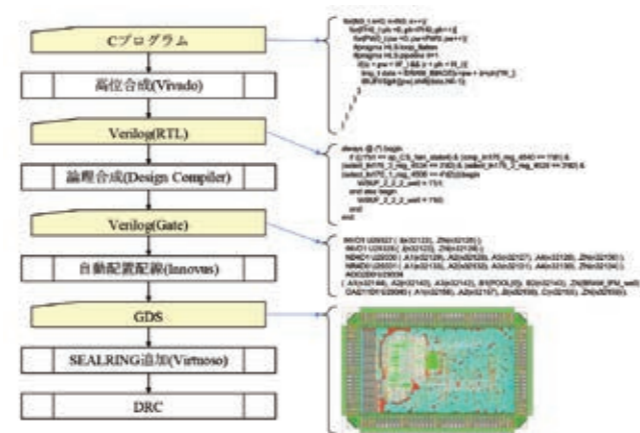


図: 高位合成 (C言語) による自動設計環境の構築例。C言語の設計資産を活用して、不揮発ベース回路・VLSIプロセッサの設計を実現。本技術により、AIアクセラレータに最適なアーキテクチャの探索などが容易になる。

A 産学共同研究 スピントロニクス システム技術

組み込みシステムセキュリティ技術の研究開発

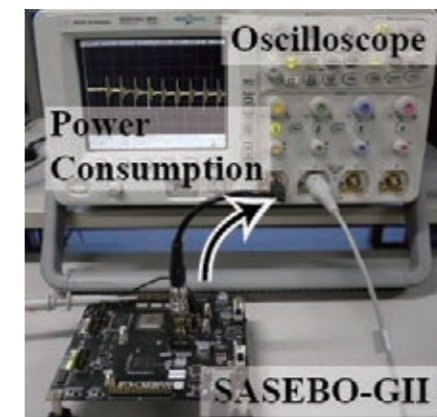


青木 孝文 教授 本間 尚文 教授

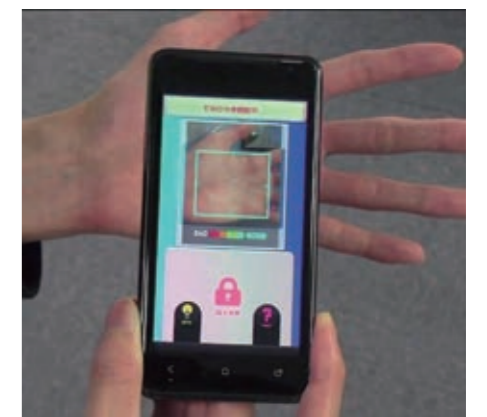
本研究開発では、膨大で多様なデバイスがネットワークに接続されるIoT (Internet of Things) 時代に向けた新しいセキュリティ技術の確立を目指しています。特に、M2M (machine-to-machine) の利用形態を想定したデバイスセキュリティとリモート認証に関する技術検討を実施するとともに、その技術の有効性をプロトタイプにより評価しています。

一例として、デバイスセキュリティ技術では、限られた計算資源・電力供給下において秘匿通信・認証を行うための技術を検討しています。

一方、リモート認証技術では、遠隔地端末とサーバ間もしくは端末間における効率的なエンティティ認証技術を検討しています。上記の研究開発により、多様なデバイスをサイバー空間に安全に接続し、データ連携するための基幹技術の構築が期待されます。



M2Mデバイスの実装安全性評価



端末-サーバ間リモート認証のプロトタイプアプリケーション

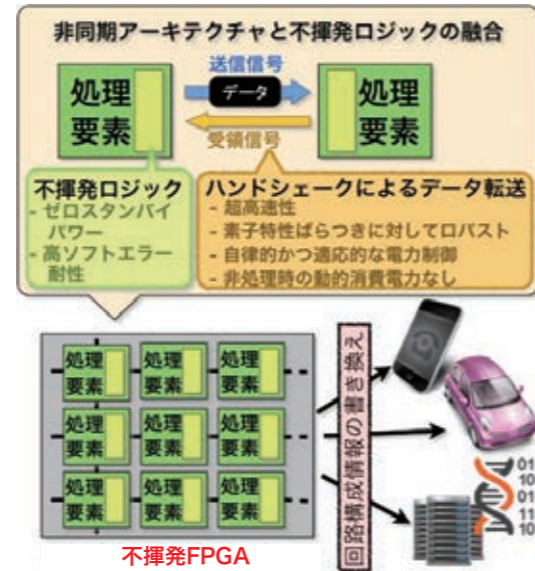
A 産学共同研究 スピントロニクス システム技術

リアルワールド応用知能システム VLSI プラットフォームの研究開発



遠藤 哲郎 教授

本研究開発では、リアルワールド知能システム応用、ビッグデータ応用、インフラ応用等に向け、超低消費電力性・高速性の達成と共に高ソフトエラー耐性を有する再構成可能(リコンフィギュラブル) LSIを開発しています。集積回路の微細化・3次元化・極低電圧化に対応するために、自律的な電源電圧制御機能を有する同期・非同期ハイブリッド回路、待機時電力の削減と高ソフトエラー耐性を有するMRAMベース不揮発ロジック回路、さらに容易にプログラム開発が可能な高設計ツールの構築を目指しています。



細粒度自律電力制御機能を有する不揮発ロジックに基づく超低消費電力再構成可能 LSI (FPGA) によるコンピュータアーキテクチャ

A 産学共同研究 AI ハードウェア 回路技術

しなやかな情報処理におけるエラー訂正技術の研究開発



遠藤 哲郎 教授

DRAMをはじめとした記憶デバイスでは宇宙線や温度条件その他の原因により記憶ビットが反転することがあり、誤った計算結果などが発生します。これらのエラーを検出し訂正する「誤り訂正符号(ECC, Error Correction Code)」の技術が発展してきました。ECC技術では、元々のデータを冗長性を持った誤り訂正符号に変換し、エラーが混入してもそれを検出し元々のデータを復元できるようにします。ただし、訂正能力を上げる=より多くのエラーを検知・訂正するには、その能力に応じた大きな冗長性が必要となります(図1)。

コンピュータにおける重要な部品である「メモリ」にも誤り訂正符号の技術が使われており、特にハードウェアとしてECC回路を実装しているメモリを「ECCメモリ」と呼びます。通常、ECCメモリでは、1bitのエラーの訂正と2bitのエラーの検出が可能な「SECDED」というECCアルゴリズムがよく使われてきました。本テーマではSECDEDに限らずSTT-MRAMにとって最適で訂正能力の高いECCアルゴリズムを試行錯誤の容易なソフトウェアベースで探求・検証しており、BCH符号、Golay符号等のECCアルゴリズムの実装・改良を行ってきました。BCH符号はある制約の下、訂正可能なビット数を選ぶことができます。一方、Golay符号は符号長や訂正可能なビット数は決まっていますが、BCH符号よりも簡易な計算でエラーを検知・訂正してデータを復元することができます。

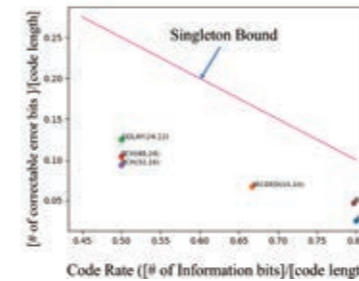


図1: 横軸はCode Rate、縦軸は訂正可能なビット数を符号長で割ったもの。この二つはトレードオフの関係にある。理論的限界(Singleton 限界)を超えることはできない。

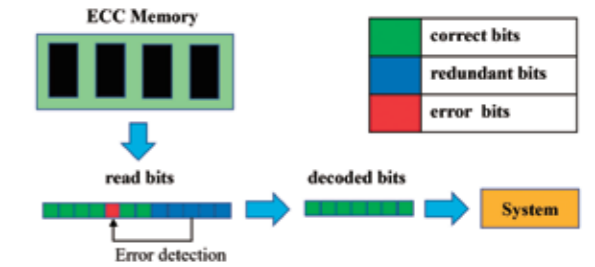


図2: ECCメモリ概念図。ECCメモリ上のデータには冗長ビットが含まれており、エラーを自動的に修正するので、システムには正しいデータが送られる。

A 産学共同研究 AI ハードウェア 回路技術

脳型演算処理回路技術の研究開発

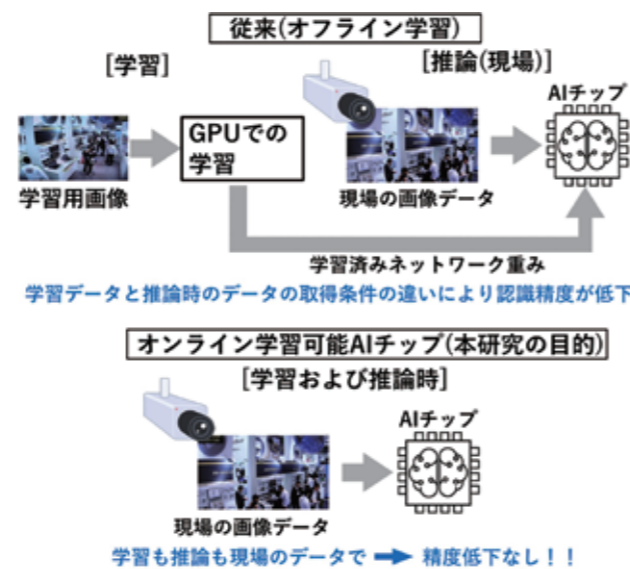


遠藤 哲郎 教授

本研究開発では、Society5.0において重要となる、高精度と高速性を兼ね備えたエッジAIプロセッサの開発を行っています。

従来のエッジAIプロセッサでは、学習はオフラインでGPU等を用いて行われ、学習済みデータが、AIチップの推論に用いられていました。通常、学習時のデータ取得条件等と推論時(現場)でのデータ取得条件は異なるため、認識精度の低下を引き起こしています。

この問題を解決するために、本研究では、現場のデータで学習と推論を行える高精度・高効率のエッジAIプロセッサのアーキテクチャ・回路・デバイス技術に関する研究・開発を行っています。不揮発メモリとして注目を集めているMRAMを徹底的に活用したアーキテクチャ・回路を基盤とし、システムレベルの細粒度パワーゲーティング技術や、データ転送ボトルネック解消のための高効率データ転送技術や、用途に適したMRAMのデバイス技術に加えて、オンライン学習機能も導入したAIプロセッサを実現しています。



A 産学共同研究 AI ハードウェア 回路技術

MTJ/CMOS Hybrid AI アプリケーションプロセッサの研究開発



遠藤 哲郎 教授

ディープラーニング(DL)の技術と大規模演算を高速に行うことのできる並列演算プロセッサ(GPUなど)の進歩により、これまで難しかった高精度かつ高速な物体認識が可能となってきました(図1)。しかし、これらのプロセッサは高速に演算できる反面、記憶回路へのアクセスに多くの電力を消費するため、車載コンピュータやエッジデバイスに搭載するには消費電力の削減が必要になります。DLアルゴリズムの圧縮・最適化を行うことで消費電力の削減が期待できますが、さらにMTJ/CMOS Hybrid 回路の不揮発性を利用したパワーゲーティング(PG)を適用することで、記憶回路アクセス時の電力削減から消費電力削減が期待できます。

そこで、様々なハードウェア上で動作するDLアルゴリズムに対し、その性能(認識精度、速度、メモリアクセスパターン)を解析するスキームの構築を行っています(図2)。メモリパターンを解析してPGに適したアルゴリズムの改良を行い、MTJ/CMOS Hybrid 回路技術にマッチしたDLアルゴリズムの開発を目指しています。



図1: DLアルゴリズムの一つ、YOLOv3による画像認識。多数の物体を高精度で認識している。遠方の非常に小さい物体も高い精度で認識可能である。

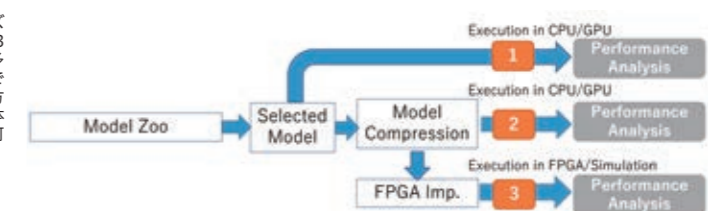


図2: Model Zoo から DL モデルを選定し、CPU/GPU/FPGA 上で性能解析を行うスキーム。性能解析では、認識精度、速度、メモリアクセスパターンを解析し、アルゴリズムの選定・改良を目指す。

A 産学共同研究 パワーエレクトロニクス モジュール技術

WBGパワーモジュール技術の研究開発

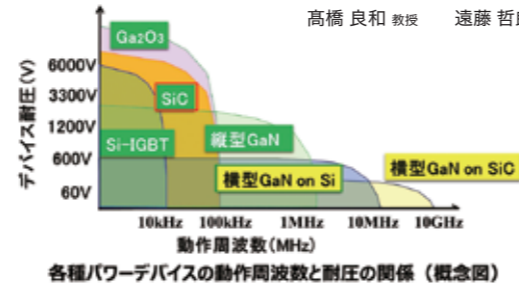


高橋 良和 教授 遠藤 哲郎 教授

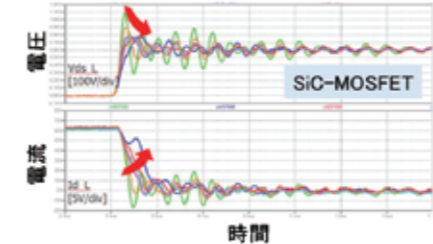
本研究テーマでは、SiC-MOSFETやGaN on Si横型パワーデバイスなどの低損失で高速性を兼ね備えたワイドバンドギャップ(WBG)パワーデバイスの長所を最大限に活かすためのパワーモジュール技術を、産学が連携して開発しています。これにより、高性能電気自動車(EV)、小型・高効率データセンター電源、それらの電力供給を最適運用するスマートシティーの実現などに貢献します。

具体的には、以下の技術を開発しています。

- 1. WBGパワーモジュール電圧・電流振動抑制技術**
WBGパワーデバイスの高速性を活かしながらスイッチング時の電圧・電流発振、電圧跳ね上がりを抑制する、低インダクタンスモジュール技術の開発、アクティブゲート駆動回路技術の開発。
- 2. 低熱抵抗化技術**
小型・高パワー密度化が進むWBGパワーチップの高周波動作時の温度上昇を抑えるための高熱伝導絶縁基板技術の開発。
- 3. 高放熱化技術**
WBGパワーデバイスの大容量化に対応するための新構造空冷および水冷冷却体技術の開発。



アクティブゲートコントロール機能を最適化することでスイッチング時の電圧・電流発振、電圧跳ね上がりを抑制



A 産学共同研究 パワーエレクトロニクス コンポーネント技術

次世代電装コンポーネント技術の研究開発



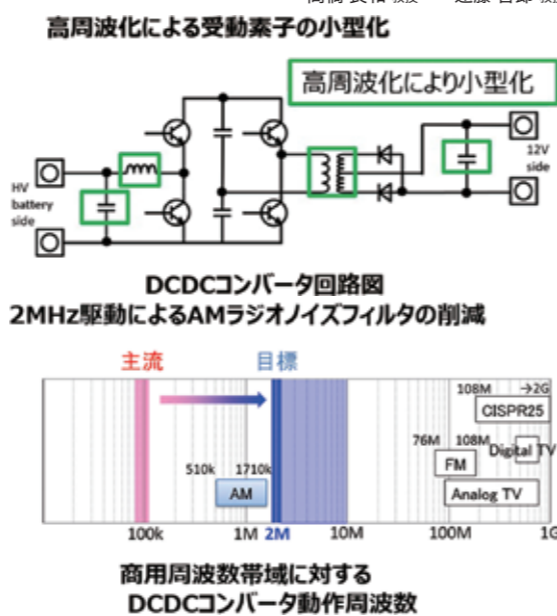
高橋 良和 教授 遠藤 哲郎 教授

本研究テーマでは、高周波駆動が可能なGaN on Si横型パワーデバイスを適用したDC-DCコンバータを、産学が連携して開発しています。

これにより、自動車の自動運転などの高度化に伴うセンサー類やアクチュエータ類の増加による電力供給増加に対応した、高効率で超小型のDC-DCコンバータの実現に貢献します。

具体的には、以下の技術を開発しています。

- 1. DC-DCコンバータの高周波駆動技術**
DC-DCコンバータの絶縁トランスやリアクトル、コンデンサなどのパッシブ部品の小型化を可能とする、超高速のGaN on Si横型パワーデバイスを適用した高周波駆動技術の開発。
- 2. 低ノイズ化技術**
DC-DCコンバータをAMラジオ周波数帯以上の周波数(2MHz以上)で駆動させることによるノイズフィルターの削減(小型化)、加えてリングノイズを抑制するための最適駆動技術の開発。
- 3. 大容量化技術**
GaN on Siデバイスを適用した大容量化技術:並列接続技術、多重化技術などの開発。



A 産学共同研究 パワーエレクトロニクス インテグレーション技術

実装インテグレーション技術の研究開発



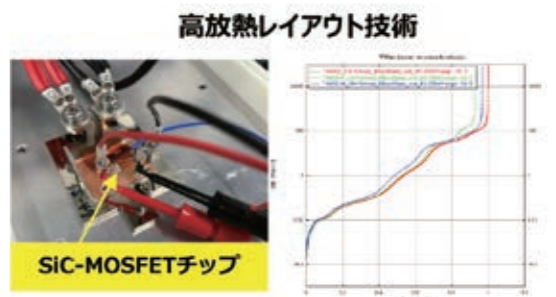
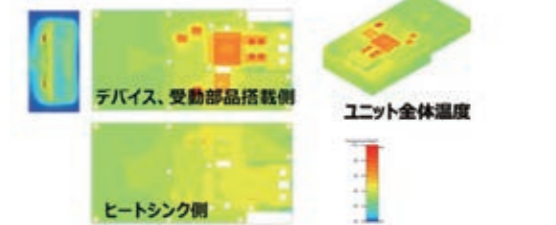
高橋 良和 教授 遠藤 哲郎 教授

本研究テーマでは、GaN-on-SiやSiCなど新しいWBGデバイスの持つ、低損失、高速などの優れた特性を最大限に活かすための、ゲート駆動回路やインダクタ、トランス、コンデンサなどの周辺主要部品を最適に実装するための実装インテグレーション技術を、産学が連携して開発しています。

これにより、パワーエレクトロニクス応用装置の小型・軽量化、高機能化、高性能化に貢献します。

具体的には、以下の技術を開発しています。

- 1. パッシブ部品技術**
高周波駆動時でも鉄損、銅損の少ない低損失・超小型リアクトル・トランス技術の開発および、高温に耐えるコンデンサ技術の開発。
- 2. パワーインテグリティ技術および高放熱レイアウト技術**
高密度化するパワーエレクトロニクス回路に適用される各種PCB基板の電源品質確保技術の開発。
高周波時チップ温度を上昇させない高放熱レイアウト技術の開発
- 3. 接合材料/技術**
GaN on Siデバイスや、ゲート回路、各種パッシブ部品を絶縁基板や冷却体などに実装する低熱抵抗かつ高信頼性の接合材料/技術の開発。



接合材料の違いによる過渡熱抵抗評価

A 産学共同研究 パワーエレクトロニクス 回路技術

電力・産業向け次世代大容量変換器の研究開発



加藤 修治 准教授 遠藤 哲郎 教授

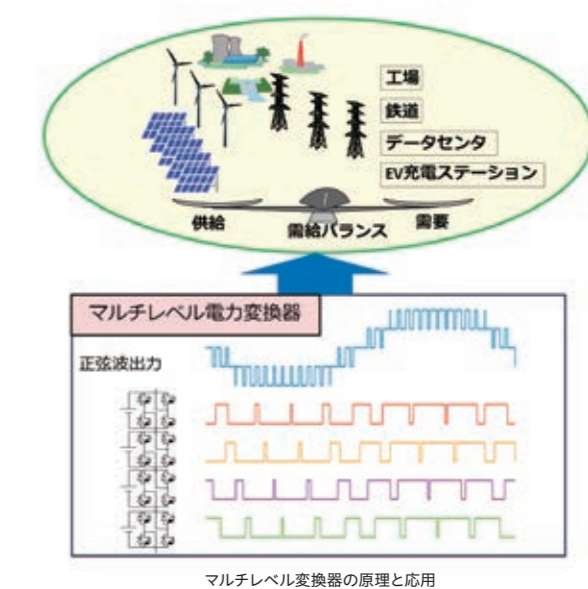
本研究開発では、再生可能エネルギーの大量導入実現に必要な電力供給バランスに対する貢献や電動化への貢献を目指し、

- ① 風力発電や太陽光発電等、電力系統に接続する発電機器、
- ② 工場などに設置される各種動力機器、大型建設機械や船舶、EVなどの需要機器の革新を目指し、大容量変換器の回路・制御技術を開発しています。

電力変換器は、マルチレベル技術を適用して小型の電力変換器を複数直列に接続することで、大容量化することができます。マルチレベル変換器では、直列接続した電力変換器のパルスタイミングを調整することで、少ないスイッチング回数でも正弦波電圧を出力することができ、低損失化を図れます。

具体的には、以下の技術を開発しています。

1. マルチレベル変換器を小型・低損失化するための回路・制御技術
2. マルチレベル変換器のロバスト性を向上させるための回路・制御技術



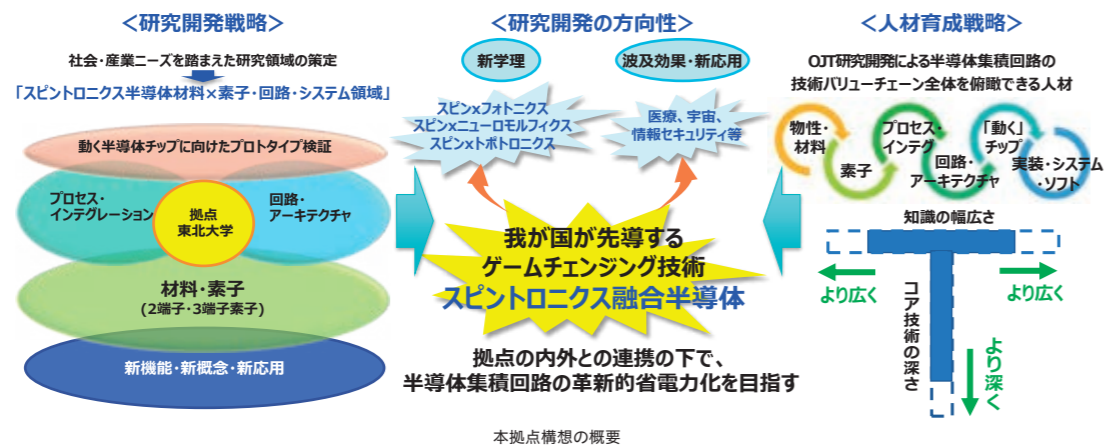
B 国家プロジェクト 文部科学省 次世代X-nics半導体創生拠点形成事業

スピントロニクス融合半導体創出拠点



遠藤 哲郎 教授

我が国が先導してきた集積回路の省電力化のゲームチェンジ技術であるスピントロニクスを中核に据え、新材料・素子の研究開発とその特性を引き出す回路・アーキテクチャ・集積化技術の研究開発を推進し、CMOS半導体の発展を加速させる動く省電力半導体チップに向けたプロトタイプ検証までを、連携・協力機関と共に総合的に展開します。スピントロニクス融合半導体研究の展開の中で、光・ニューロ・トポロジーとエレクトロニクスの融合領域や、医療・宇宙・情報セキュリティ等の新応用を開拓して新学理と情報社会の変革までを先導し、我が国の半導体に係る研究開発力の向上に寄与します。本拠地に若手研究者や学生も積極的かつ戦略的に参画させて、実践力と俯瞰力を持った人材育成を目指して参ります。



本拠点構想の概要

B 国家プロジェクト NEDO ポスト5G情報通信システム基盤強化研究開発事業

先導研究(助成) / 半導体プロセス1.5nmノード以降の不揮発性MRAMの微細加工基盤技術の研究開発

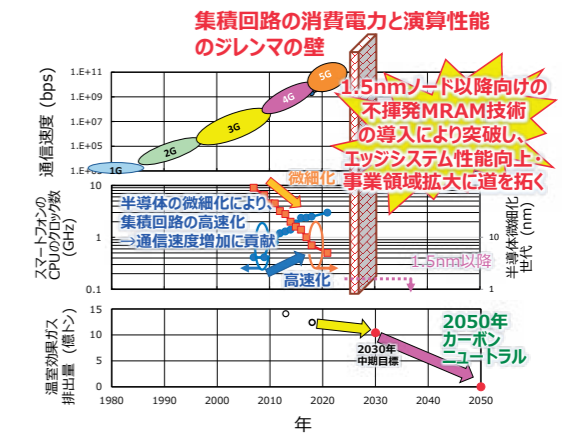


早川 崇 R&D ディレクター (TEL) 池田 正二 教授

スマホやIoT・AIプロセッサ等のエッジ側システムのポスト5G時代の低遅延性の実現のためには、電力供給制限環境下での高度なエッジコンピューティングを行う必要があります。しかしながら、従来のシリコン技術の延長線上での1.5nmノード以降の技術開発では継続して消費電力と演算性能のジレンマが課題となり、エッジシステムの性能向上や事業領域拡大に制限が生じます。

本提案では1.5nmノード以降の不揮発性MRAMの微細加工技術の研究開発を行うことにより、MRAM / CMOS混載LSI技術に基づく不揮発化と微細化による低消費電力化により消費電力と演算性能のジレンマの解決に貢献します。これにより、ポスト5G時代の低消費電力性と低遅延性を有するエッジ側システムの実現と、その社会実装によるシナジー効果としてカーボンニュートラルへの貢献が図られます。

本研究開発における具体的な役割としては、東京エレクトロン株式会社(TEL)が1.5nmノード以降に向けたMTJピッチでのRIEエッチング基盤技術の開発を担当、東北大学国際集積エレクトロニクス研究開発センター(CIES)は共同研究としてその微細加工基盤技術検証につなげる集積プロセス開発・試作・評価を担当し、2社が一体となって半導体プロセス1.5nmノード以降に向けた不揮発性MRAMの微細加工基盤技術の構築を進めています。



B 国家プロジェクト NEDO ポスト5G 情報通信システム基盤強化研究開発事業

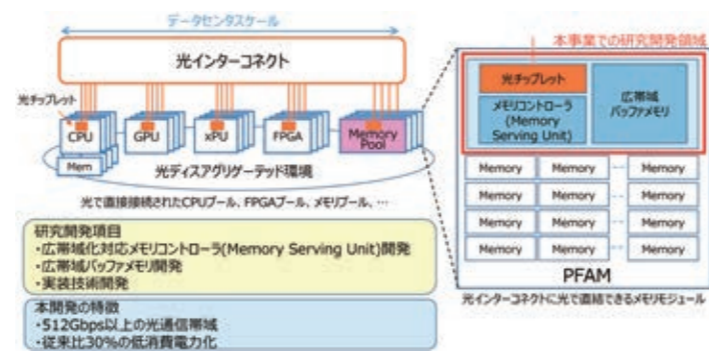
先端半導体製造技術の開発 光電融合インタフェースメモリコントローラの開発



遠藤 哲郎 教授

国立大学法人東北大学は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)「ポスト5G情報通信システム基盤強化研究開発事業/先端半導体製造技術の開発」において、キオクシア株式会社、日本電信電話株式会社(NTT)が共同提案した「光電融合インターフェイスメモリモジュール技術」が採択されたことを受け、再委託先として本事業に参画いたします。

NTTが推進するIOWN構想において、データセンターは、複数ユーザーからの多種多様なリアルタイムリクエストを効率よく処理するため、複数の演算リソース(CPUやGPUなど)を光インターコネクに直結した光ディスクアグリゲータッドコンピューティングが求められます。また、メモリは複数の演算リソースで共有し、利用効率を向上させる必要があります。



本学は本技術開発において、光インターコネクを介して複数の演算リソースから広帯域の光でアクセスできるメモリを実現するフォトニック・ファブリック・アタッチ・メモリモジュール(PFAM)の技術開発の一部を再委託先として担う予定です。

B 国家プロジェクト NEDO 省エネAI半導体及びシステムに関する技術開発事業

AIエッジコンピューティングの産業応用加速のための設計技術開発 CMOS/スピントロニクス融合技術によるAI処理半導体の設計効率化と実証及びその応用技術

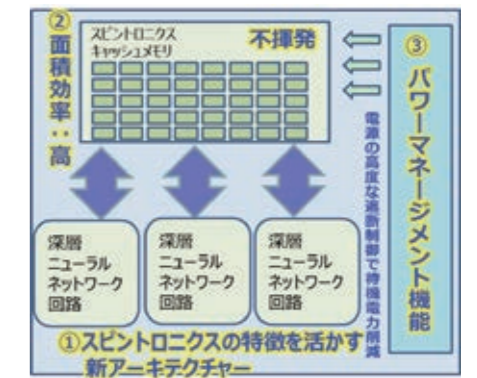


羽生 貴弘 教授 吉川 浩 教授 池田 正二 教授

令和4(2022)年に提案しました「CMOS/スピントロニクス融合技術によるAI処理半導体の設計効率化と実証及びその応用技術に関する研究開発(代表事業者:東北大学、代表者:羽生 貴弘教授)」が、新エネルギー・産業技術総合開発機構(NEDO)「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/AIエッジコンピューティングの産業応用加速のための設計技術開発」に採択されました。

現状のAI処理は、大量のデータを扱い、それを高速演算するので消費電力が大きくなる課題があり、その解決が必要です。特に、エッジ側では、許容される消費電力が制限されるので、革新的に電力効率の高いAIコンピューティング技術が望まれています。

本研究では、この実現に向けて、現在主流であるCMOS技術と親和性が高く、不揮発性で面積効率の高いスピントロニクス技術を融合し、その特徴を最大限に活かすエッジAIに適した高い電力効率のコンピューティング技術を開発しています。また社会実装として、車載系への応用と見守りシステムなどの次世代サーベイランスシステムへの応用を行います。



エッジサーベイランスへの応用

車載系への応用

B 国家プロジェクト JAXA 宇宙探査イノベーションハブ

MTJ/CMOS Hybrid 技術による待機電力不要システム研究、及びその耐環境性試験 (宇宙用途向け)

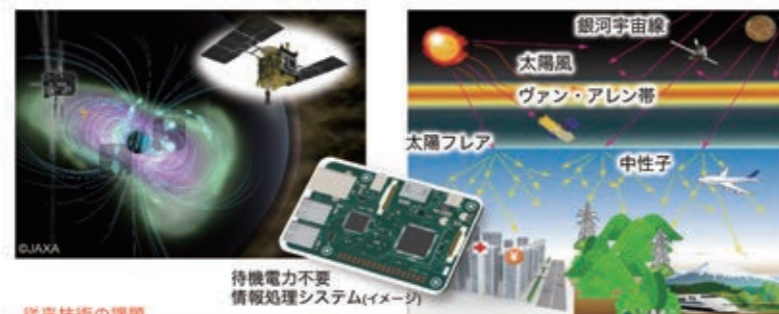


遠藤 哲郎 教授 小林 大輔 准教授 (JAXA)

令和元年に、国立研究開発法人宇宙航空研究開発機構 (JAXA) 宇宙探査イノベーションハブ「太陽系フロンティア開拓による人類の生存圏・活動領域拡大に向けたオープンイノベーションハブ」に関する研究提案募集に提案し、アイデア型研究として採択された「MTJ/CMOS Hybrid 技術による待機電力不要システム研究、及びその耐環境性試験 (宇宙用途向け)」は、令和3年にフォローアップ研究に認定され、研究開発を加速しております。

宇宙探査において、月、火星以遠の探査には、エネルギー源となる太陽光が微弱な環境下で10年以上の長期ミッションが想定されるため、既存技術ではなしえない超低消費電力の電子システムが求められています。また、宇宙機の電子システムには、待機電力不要に加えて宇宙放射線耐性の両立が重要な課題となっています。

本提案では、提案代表者らが開発してきたスピントロニクス素子である磁気トンネル接合 (MTJ) と CMOS 技術を融合させた MTJ/CMOS Hybrid 技術を用いて、待機電力不要システムを研究し、飛躍的な演算効率向上と桁違いの低消費電力化を実現する革新的半導体デバイス・集積回路の実現を目指します。加えて、JAXA が保有する放射線耐性を中心とした信頼性評価により、MTJ/CMOS Hybrid 型半導体チップが本来有する不揮発性と高速性に加えて、耐環境性を併せ持つ、電力を使用しない高集積回路の創出を目指します。



待機電力不要情報処理システム(イメージ)
 1 演算能力 vs. 消費電力不足 2 高温下での誤作動 3 放射線環境下での誤作動

MTJ/CMOS Hybrid 技術による宇宙放射線耐性を有する待機電力不要情報処理システムの研究

B 国家プロジェクト 文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業

脱炭素社会実現に向けた集積化パワーエレクトロニクスの研究開発

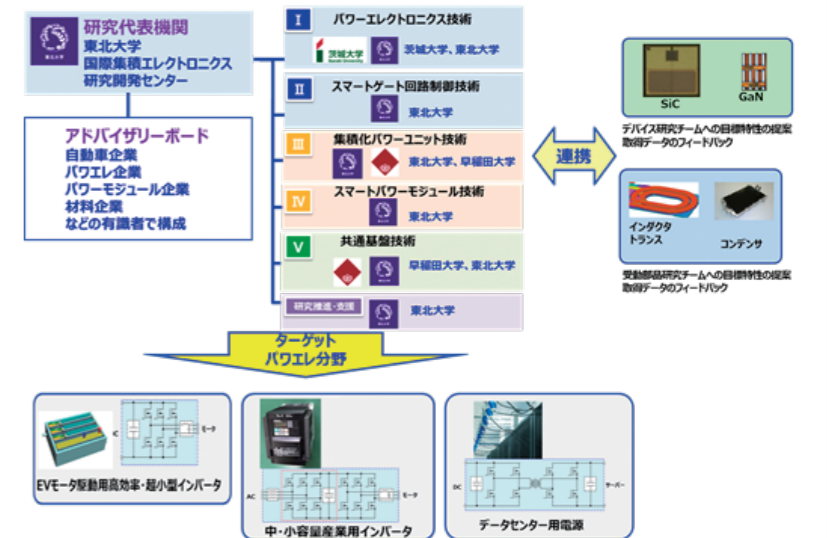


高橋 良和 教授

本研究テーマでは、WBG デバイスの優れた性能を極限まで活かした回路システムを研究・開発すること、回路システムに最適な超小型・高性能なパワーモジュール、パワーユニットを開発し、さらには受動部品を適用することで、次世代インバータおよび電源の小型化、高性能化、高パワー密度化、高効率化の実現を目指します。応用製品としては EV 用モータ駆動インバータ、中小産業用インバータ、データセンター用電源など小中容量電力を扱う広く社会で使われる製品群です。

代表機関である東北大学と研究分担機関の茨城大学、早稲田大学および協力企業としてのアドバイザリーボードにてパワーエレクトロニクス研究に重要な5つのサブテーマの研究開発を推進し、加えてデバイスチーム、受動部品チームと連携を密にすることで当該分野での学術的な先鋭化を進めるとともに、それらを統合化した応用製品の社会実装化に努めます。

これらの研究開発を進めることにより世界を牽引し脱炭素社会実現に貢献する次世代パワーエレクトロニクス技術・製品を創出します。



脱炭素社会実現に向けた集積化パワーエレクトロニクスの研究開発体制

B 国家プロジェクト JSPS 研究拠点形成事業

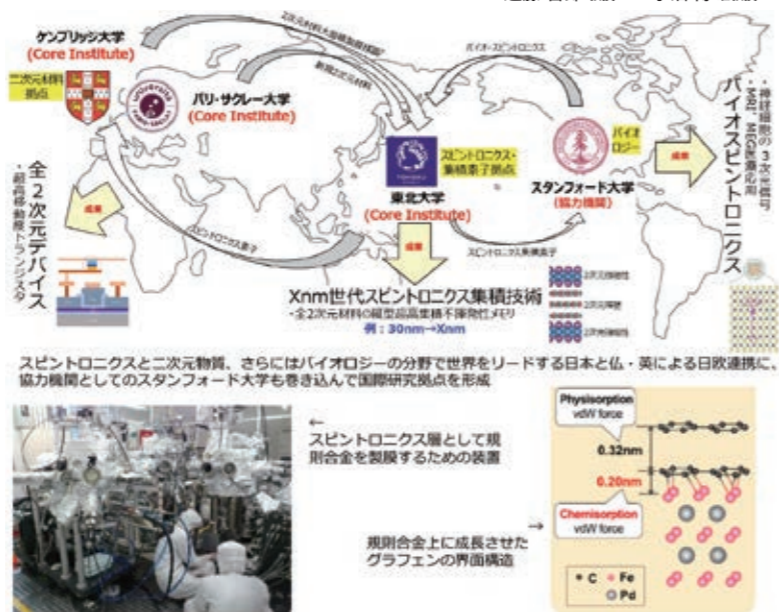
研究拠点形成事業 -A.先端拠点形成型- 「スピントロニクス・二次元物質の縦型素子」



遠藤 哲郎 教授 永沼 博 准教授

本研究テーマは、次世代のスピントロニクス技術を開発するために、現在のスピントロニクス技術に二次元物質を相乗させて、新しい縦型素子を提案するものである。日本、英国、仏国に加えて米国の特徴ある研究を融合することを目的としている。

- 1. 日英連携**
英国ケンブリッジ大学は世界トップレベルの二次元物質の製膜技術および理論解析を有している。日本のスピントロニクス技術を融合させ、新しい二次元物質を障壁層とした縦型素子の作製を行う。
- 2. 日仏連携**
仏国 CNRS/Thales は2007年にノーベル物理学賞を受賞した A.Fert 博士を筆頭に最先端のスピントロニクス基礎理論の構築を行ってきた。本研究では、二次元物質の高度な最先端加工技術により新しいスピントロニクス素子の創製に寄与する。
- 3. 日米連携**
スピントロニクス素子の新しい用途として、バイオセンシングに関してスタンフォード大学と連携する。



B 国家プロジェクト 内閣府 SIP プロジェクト (第3期)

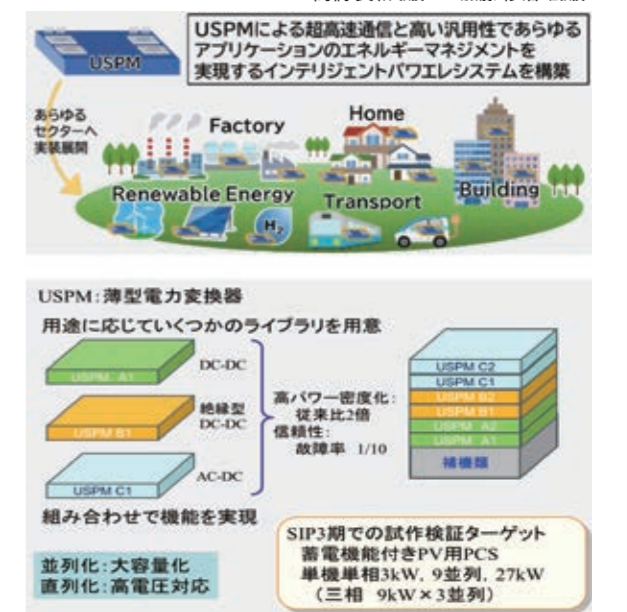
系統安定化をサポートするUSPMによるインテリジェントパワエレスシステムの構築



高橋 良和 教授 加藤 修治 准教授

本研究開発では幅広いエネルギー管理 (EMS) 応用と系統安定化機能を有する次世代高パワー密度 USPM の要素技術開発、およびスマートインバータ、スマート電源の応用技術開発を目的としています。本研究開発の代表機関は長岡技術科学大学であり、東北大学 CIES では共同研究機関として、最適パッケージング技術による次世代 USPM の信頼性向上技術開発を担当しています。

具体的には、次世代 USPM に適用するパワーデバイスパッケージの低インダクタンス化によるスイッチング時の跳ね上がり電圧の抑制やノイズ低減、小型で扱いやすい構造を追求したゲート回路や受動部品との高集積化などを行います。加えて、次世代 USPM が電力系統の安定化に貢献するためには、グリッドフォーミングインバータとしての同期化力、疑似慣性力に対応する必要があります。次世代 USPM の同期化力、疑似慣性力向上に必須の大電流通電時のパワー半導体チップの発熱・温度上昇抑制と過電圧抑制を可能とするパッケージ構造とゲート駆動方式の研究開発を行います。これらの研究開発を進めることにより系統安定化をサポートする USPM によるインテリジェントパワエレスシステムの構築に貢献いたします。



C J-Innovation HUB 地域オープンイノベーション拠点（国際展開型）

J-Innovation HUB 地域オープンイノベーション拠点（国際展開型）としての活動



遠藤 哲郎 教授



国際展開型

特定の拠点において、海外・国内グローバル企業等との産学連携活動を積極的に行い、今後の更なる海外展開を目指している拠点

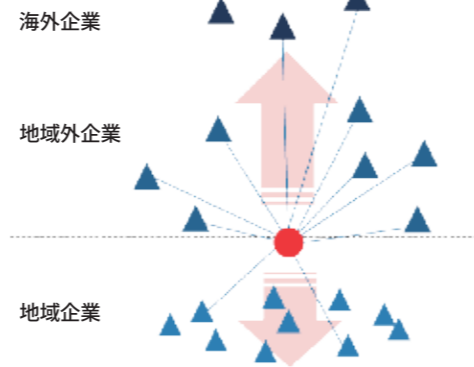
経済産業省の令和2年度事業「地域オープンイノベーション拠点選抜制度」において、本センターが第1号の地域オープンイノベーション拠点（国際展開型）に選抜されました。

J-Innovation HUB 地域オープンイノベーション拠点選抜制度は、大学等を中心とした地域オープンイノベーション拠点の中で、企業ネットワークのハブとして活躍しているものを経済産業省が評価・選抜することにより、信用力を高めるとともに支援を集中させ、トップ層の引き上げや拠点間の協力と競争を促すことを目的として創設された制度です。

今後、経済産業省がひとつひとつの拠点と対話しながら、オーダーメイド型の伴走支援を行うとし、支援措置は、令和6年1月現在、以下のものが用意されています。

1. 国内外への広報、拠点間の連携支援（ロゴマークの使用許可、経済産業省HPでの選抜拠点紹介、選抜拠点間ネットワーク会議、海外展開支援 等）
2. 経済産業省各種支援等との連携強化 ※予算事業の場合、予算成立を前提
 - ・成長型中小企業等研究開発支援事業（Go Tech 事業）
 - ・産学融合拠点創出支援事業（J-NEXUS）
 - ・その他大学向け予算事業での加点点等
3. その他の支援（予算事業紹介、規制緩和等政府施策への接続支援 等）

本センターの活動に参画されるパートナーの方々には、本J-Innovation HUB 地域オープンイノベーション拠点選抜制度の優遇措置の活用が期待されます。



本制度の拠点イメージ

（出典：経済産業省資料）

D 地域連携プロジェクト 東北半導体・エレクトロニクスデザインコンソーシアム

東北半導体・エレクトロニクスデザインコンソーシアムについて



遠藤 哲郎 教授

東北の地域特性を生かし、半導体・電子デバイス関連の人材育成やサプライチェーンの強化等により、東北半導体・電子デバイス産業の競争力強化を図り、東北地域、ひいては、我が国の半導体等関連産業を発展させていくことを目的として、「東北半導体・エレクトロニクスデザイン研究会」を組成し、東北地域に必要な人材育成等のあり方や推進体制を検討（令和4年度～令和5年度）。



〈設置日〉
2022年6月10日（キックオフ会合：2022年7月4日）
https://www.tohoku.meti.go.jp/s_monozukuri/mono_hando.html

- 〈参画メンバー〉
- ①産業界 半導体等関連産業（半導体製造企業、半導体製造装置企業、半導体ユーザー企業、中堅・中小企業 等）
 - ②学術機関 大学、高専、産総研 等
 - ③経済団体
 - ④行政機関 99社・機関（2024.1.5）

（事務局）東北経済産業局

出典：東北経済産業局

D 地域連携プロジェクト 集積エレクトロニクス カーエレクトロニクス

集積エレクトロニクス／カーエレクトロニクス技術分野における地域連携の促進

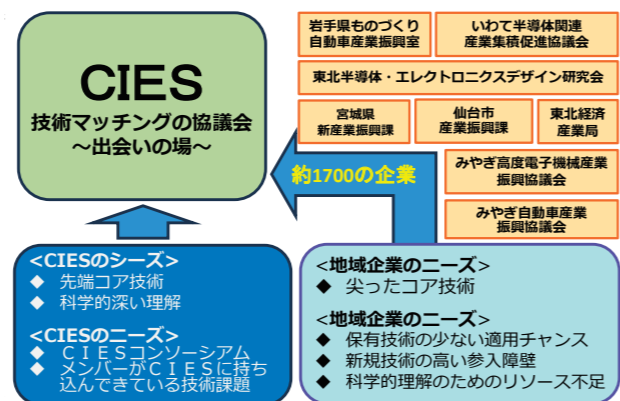


遠藤 哲郎 教授

本活動では、地域行政と協力して地域企業の有する優れたコア技術を世界に向けて発信することに取り組んでいます。具体的には、以下のことを推進しています。

- 1) 地域企業のコア技術に本センターの基盤技術・学術を融合させることで、当該コア技術のさらなる高度化を図ります。
- 2) 地域に広がる様々なエレクトロニクス分野や自動車分野における企業間の連携を促進し、地域企業の有するコア技術の応用に係る新展開を図ります。また、宮城県・岩手県等と協力して、当該コア技術の事業化を支援します。
- 3) 本センターを出会いの場として、地域企業とワールドクラスの企業との連携を促進し、地域企業の有するコア技術を世界へ発信します。

これらの活動を通じて、地域企業の個性ある技術の集積やエレクトロニクスへの応用展開を図るとともに、次世代カーエレクトロニクス等における、革新的デバイスの事業化等を通じて、東北地域振興に貢献して参ります。



地域連携プロジェクトの基本方針

東北大学半導体テクノロジー共創体

国内大学最大級の半導体R&Dエコシステムの構築

○背景と目的

東北大学半導体テクノロジー共創体では、我が国の半導体産業の国際競争力の強化に貢献すべく、大学としてのオープン性を活かしつつ、本学の多種多様な成果を様々な機関と共有し、シナジー効果を生み出しながら、R&Dエコシステムを構築します。

○取組内容と効果

本共創体には3つの拠点があり、本国際集積エレクトロニクス研究開発センターは、その一角である「スピントロニクス省電力半導体開発拠点」として、スピントロニクス技術を用いた省電力グリーンロジック半導体・AIプロセッサ、高密度メモリ、高性能プロセッサの設計・試作実証・評価とそのシステム開発を担っています。他の2拠点である、ウルトラクリーンプロセス技術・イメージセンサ技術を基軸とした「半導体製造プロセス・部素材・イメージセンサ開発実証拠点」及び自動運転車用をはじめとする多様なデバイスや高度実装技術の研究開発、技術評価、試作を担う「MEMS設計・プロセス開発実証拠点」と連携し、本学の半導体研究を牽引しております。

<https://semicon.tohoku.ac.jp/>

東北大学半導体テクノロジー共創体 東北大学の圧倒的な強み

- 世界トップレベルの半導体関連研究、約150名の研究者群
- 大型クリーンルーム(8,500m²)など比類ない研究開発リソース

スピントロニクス省電力半導体開発拠点

半導体製造プロセス・部素材・イメージセンサ開発実証拠点

MEMS設計・プロセス開発実証拠点

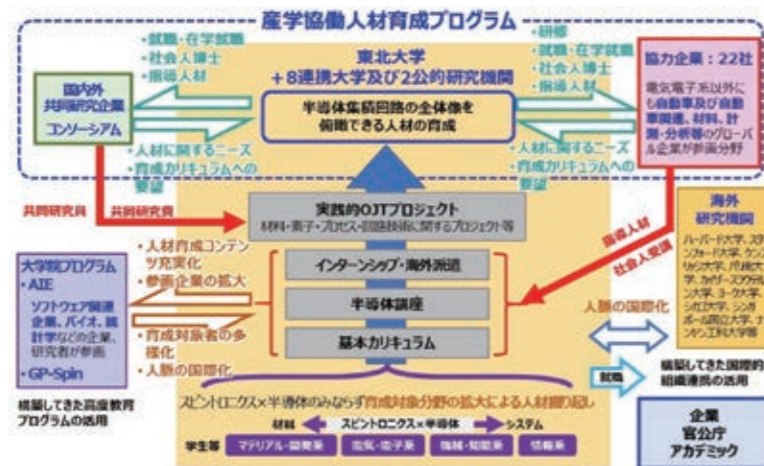
文部科学省 次世代 X-nics 半導体創生拠点形成事業

「スピントロニクス融合半導体創出拠点」における半導体人材育成

自身のコア技術・専門分野を深めながら、材料・素子・設計・回路・アーキテクチャ・集積化技術・試作・評価・システム化までの半導体集積回路の技術バリューチェーン全体を俯瞰できる人材、各技術領域からの協力企業による実践教育なども活用したビジネスセンス・企画力を有する人材の育成を目指しています。さらに、学生の教育のみならず、教育・指導する側の若手教員・技術者のリカレント人材育成にも取り組んでいます。

X-nics産学連携セミナーの事例 (2023年度開講より)

車載半導体等の技術と知財	住友電気工業
電機業界とその知財戦略	パナソニック
半導体が拓く未来	JEITA
モビリティカンパニーへの変革に向けて	トヨタ自動車
クルマ社会の変化と車載用半導体のチャレンジ	デンソー
Beauty of NAND	ウエスタンデジタル
AIを加速させるコンピューティングプラットフォーム	NEC
Beyond 5G技術	NICT
フラッシュメモリの最前線	キオクシア
IVI向けSoCおよびOS変遷と展望	アイシン
カーボンニュートラルに貢献するパワー半導体モジュールのパッケージ技術	富士電機
先端パッケージの技術動向とそれを支える材料技術	レゾナック
Computing & Memory	Intel

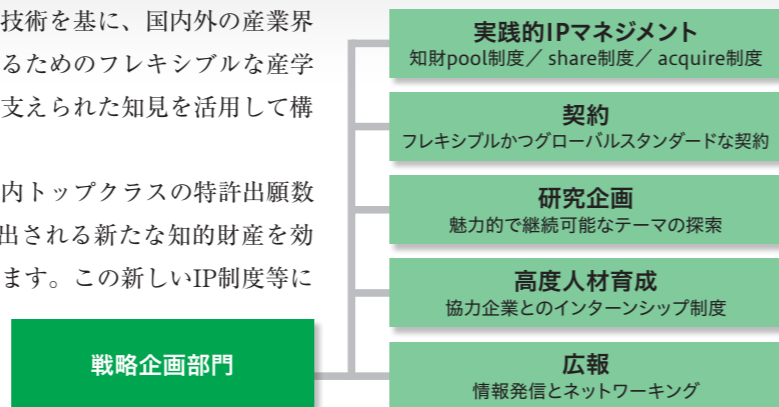


「スピントロニクス融合半導体創出拠点」における半導体人材育成の概要

戦略企画部門

戦略企画部門では、本学の世界トップクラスのコア技術を基に、国内外の産業界との産学共同研究が効率的かつアクティブに展開されるためのフレキシブルな産学連携フレームワークを、本学の豊富な産学連携実績に支えられた知見を活用して構築しています。

東北大学の研究者が創出してきた基本特許を含む国内トップクラスの特許出願数の知的財産 (IP) 群とCIESコンソーシアム活動から創出される新たな知的財産を効率的に管理した実践的IPマネジメントを実行しています。この新しいIP制度等に基づいて、フレキシブルかつグローバルスタンダードな契約対応を展開しています。



高度人材育成事業

集積エレクトロニクス技術分野における若手研究人材の輩出・育成を目的とする次の事業を実施しています。

- ①産学合同講師によるカリキュラム・講義(単位付与)
 - 産業界や社会に求められる人材像を描き、その理念に基づきカリキュラムを編成し、産学合同講師陣による講義を開講しています。
- ②東北半導体・エレクトロニクスデザインコンソーシアムへの参画
 - 経済産業省の半導体デジタル戦略に基づき設置された東北地区における人材育成等を担う東北半導体・エレクトロニクスデザインコンソーシアムに参画しています。



X-nics RA 学生

- ③高度人材育成を促進する産学連携OJT制度
 - CIESコンソーシアム内RA制度
 - 産学連携研究における責任の明確化とその対価報酬支払による大学院生とポスドク・若手研究者の産学連携研究への参画を促進しています。
 - X-nics RA制度
 - コア技術・専門分野を深めながら、材料・素子・設計・回路・アーキテクチャ・集積化技術・試作・評価・システム化までの半導体集積回路の技術バリューチェーン・サプライチェーン全体を俯瞰できる、ビジネスセンスを有する人材の育成を行っています。
 - インターンシップ制度
 - 博士後期課程学生 (DC)、ポストドクター (PD)、及び若手教員等を対象として、CIESコンソーシアム参加企業へのインターンシップの受け入れ促進制度を整備しています。
- ④全学プログラムへの参画
 - 先端スピントロニクス研究開発センター(世界トップレベル研究拠点)
 - 本学の指定国立大学法人認定を受けて、卓越した研究者を戦略的に結集し、“Spin-Centered Science”というべき領域を世界に先駆けて切り拓く拠点形成を目指しています。
 - 東北大学スピントロニクス学術連携研究教育センター(CSRN)
 - 世界をリードする日本のスピントロニクス研究の国際競争力の向上、新産業の創出、現産業の強化及び次世代人材の育成を目指し、国内外の研究機関との共同研究を促進する連携ネットワークの拠点としての役割を担うことを目的としています。
 - 東北大学スピントロニクス国際共同大学院(GP-Spin)
 - 本学の強みであるスピントロニクス分野における世界的な人材の育成を目的として設立され、CIES教員を含む世界トップクラスの教員陣による国際共同大学院プログラムを推進しています。
 - 東北大学「知のフォーラム」
 - マネジメントスキルやコミュニケーションスキル等の社会人基礎力に加えて、プロジェクト学習による課題設定・解決力を養成し、起業、又は企業内で活躍できるイノベーション創発人材を育成する全学プログラムに参画しています。

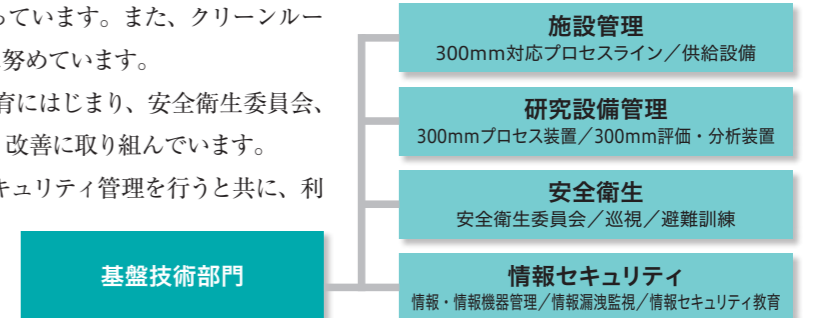
基盤技術部門

基盤技術部門では、研究開発活動を快適かつ安全に行えるよう、4つの主要機能に重点を置いて「安全確保」「安定稼働」「高効率運用」の3つを同時に実現すべく活動しています。特に、ガス漏れ・薬液漏れ・漏水・パーティクルセンサー管理や各研究ゾーン毎の入退室管理はもとより、電気・ガス・水道などの使用状況を24時間体制でモニタリングし、施設運営の更なる高度化を日々進めています。

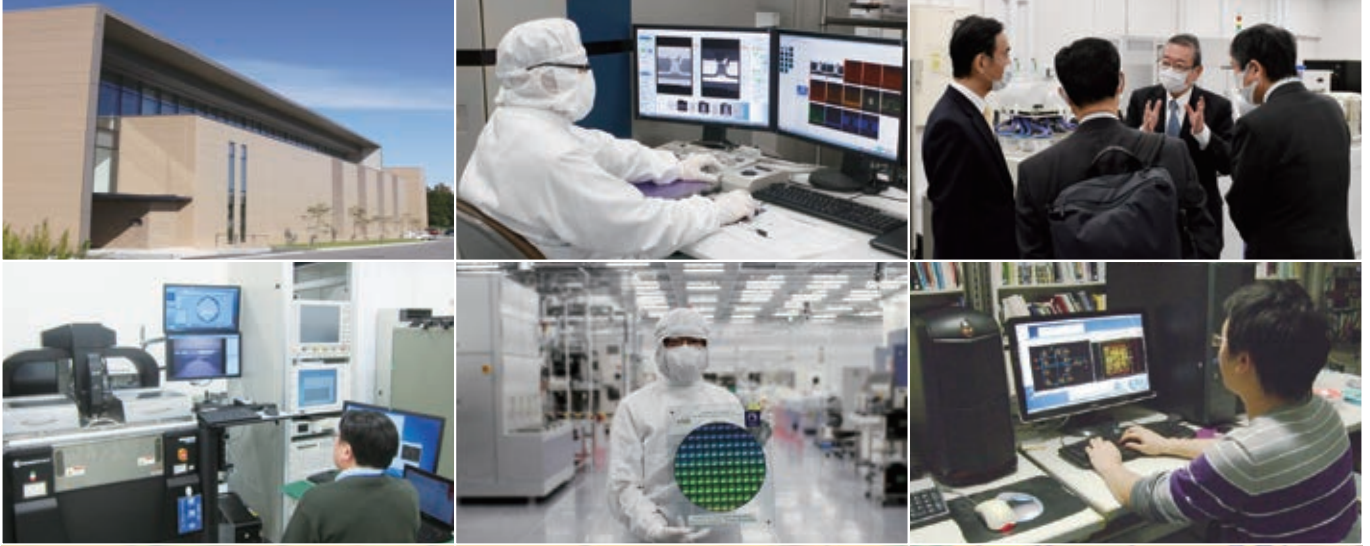
また、同部門は300mmウエハ対応のプロセスラインを有するクリーンルームを運用しています。供給施設を含め、研究開発部門と密に連携して、日常点検をはじめとする管理業務に当たっています。また、クリーンルーム内に設置されたプロセス装置の安定稼働の維持管理に努めています。

安全確保においては、施設・装置利用者への安全教育にはじまり、安全衛生委員会、安全巡視、避難訓練等を通じて安全衛生に関する指導、改善に取り組んでいます。

情報セキュリティ対策では、CIES内の情報機器のセキュリティ管理を行うと共に、利用者への教育を行っています。



基盤技術部門



世界の知がまわる国際産学連携拠点を構築し、
省エネ社会に資する革新技術と
高度人材を世界に輩出していきます。



アクセス

地下鉄東西線「仙台駅」から
八木山動物公園行きに乗車
「青葉山駅」下車(乗車時間9分)、
「青葉山駅」南1出口から徒歩約10分

お問い合わせ

東北大学
国際集積エレクトロニクス研究開発センター
支援室
〒980-8572 宮城県仙台市青葉区荒巻字青葉468-1
TEL : 022-796-3410
FAX : 022-796-3432
E-mail : support-office@cies.tohoku.ac.jp
HP: <http://www.cies.tohoku.ac.jp>